

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE .

In re: Kyeong-tae Moon et al.

Application Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **DIGITAL-TO-ANALOG CONVERTER CIRCUITS INCLUDING  
INDEPENDENTLY SIZED REFERENCE CURRENT SOURCE  
TRANSISTORS AND METHODS OF OPERATING SAME**

April 13, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

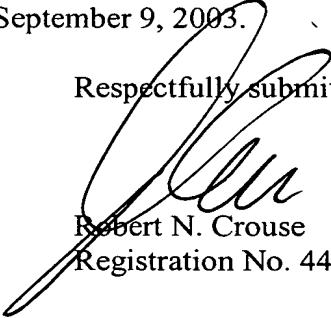
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0063150 filed September 9, 2003.

Respectfully submitted,

  
Robert N. Crouse  
Registration No. 44,635

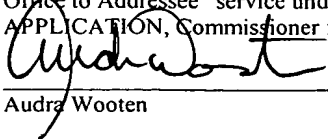
Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401  
Customer No.: 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381443251 US

Date of Deposit: April 13, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0063150  
Application Number

출원년월일 : 2003년 09월 09일  
Date of Application SEP 09, 2003

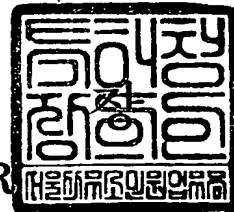
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER



【서지사항】

|            |  |
|------------|--|
| 【서류명】      | 특허출원서  |
| 【권리구분】     | 특허   |
| 【수신처】      | 특허청장   |
| 【제출일자】     | 2003.09.09   |
| 【발명의 명칭】   | 전류 가산형 디지털/아날로그 컨버터 및 전류 가산형 디지털/아날로그 변환방법   |
| 【발명의 영문명칭】 | CURRENT-ADDED-TYPE DIGITAL TO ANALOG CONVERTER AND DIGITAL TO ANALOG CONVERTING METHOD THEREOF |
| 【출원인】      |  |
| 【명칭】       | 삼성전자 주식회사  |
| 【출원인코드】    | 1-1998-104271-3  |
| 【대리인】      |  |
| 【성명】       | 박영우  |
| 【대리인코드】    | 9-1998-000230-2  |
| 【포괄위임등록번호】 | 1999-030203-7  |
| 【발명자】      |  |
| 【성명의 국문표기】 | 문경태  |
| 【성명의 영문표기】 | MOON, Kyeong Tae   |
| 【주민등록번호】   | 680323-1029719   |
| 【우편번호】     | 442-747  |
| 【주소】       | 경기도 수원시 팔달구 영통동 황골마을신명아파트 204-706  |
| 【국적】       | KR   |
| 【심사청구】     | 청구   |
| 【취지】       | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)                                 |
| 【수수료】      |  |
| 【기본출원료】    | 20 면 29,000 원  |
| 【가산출원료】    | 37 면 37,000 원  |
| 【우선권주장료】   | 0 건 0 원  |
| 【심사청구료】    | 33 항 1,165,000 원   |
| 【합계】       | 1,231,000 원  |
| 【첨부서류】     | 1. 요약서·명세서(도면)_1통  |

**【요약서】****【요약】**

$k(=m+n)$ , 여기서  $k$ 는 자연수이고,  $m$ 과  $n$ 은  $k$  미만의 자연수) 비트의 디지털 데이터를 대응하는 아날로그 신호로 변환하는 전류 가산형 디지털/아날로그 컨버터 및 디지털/아날로그 변환방법을 개시한다. 전류 가산형 디지털/아날로그 컨버터는 전류원부, 제 1 전류공급부, 제 2 전류공급부, 스위칭부, 스위치 제어신호 발생회로, 및 전류보정회로를 구비한다. 제 1 전류공급부 및 제 2 전류공급부는 전류원부로부터 각각 서로 다른 출력전류를 수신한다. 전류 가산형 디지털/아날로그 컨버터에 의하면, 상위비트에 대응하는 전류공급부의 트랜지스터의 사이즈를 줄일 수 있으므로, 반도체 회로 구현시 칩 사이즈를 줄일 수 있다. 또한 전류보정회로는 전류공급부로부터 일부의 출력전류만 센싱하여 기준전류원의 전류를 보상하기 때문에, 전류 가산형 디지털/아날로그 컨버터는 전류보정회로를 추가함으로 인해 발생하는 면적의 증가를 최소화할 수 있고 동시에 소비전류의 증가를 줄일 수 있다.

**【대표도】**

도 2

【명세서】

【발명의 명칭】

전류 가산형 디지털/아날로그 컨버터 및 전류 가산형 디지털/아날로그 변환방법  
{CURRENT-ADDED-TYPE DIGITAL TO ANALOG CONVERTER AND DIGITAL TO ANALOG CONVERTING METHOD  
THEREOF}

【도면의 간단한 설명】

도 1은 전류보정회로를 구비한 종래의 10 비트 전류 가산형 디지털/아날로그 컨버터의 일예를 나타내는 회로도이다.

도 2는 본 발명의 제 1 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 3은 도 2에 있는 스위치 제어신호 발생부를 상세히 나타낸 도면이다.

도 4는 본 발명의 제 2 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 5는 본 발명의 제 3 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 6은 본 발명의 제 4 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 7은 본 발명의 제 5 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 8은 본 발명의 제 6 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 9는 본 발명의 제 7 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 10은 본 발명의 제 8 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.

도 11은 본 발명에 따른 디지털/아날로그 컨버터를 사용하여 임의의 비트를 갖는 디지털/아날로그 컨버터를 설계할 때, 제 1 전류공급부와 제 2 전류공급부 내의 트랜지스터들의 조합을 구성하는 하나의 예를 나타내는 표이다.

도 12는 본 발명을 사용하여 설계된 전류 가산형 8 비트 디지털/아날로그 컨버터에 대한 컴퓨터 시뮬레이션 결과 컨버터 출력파형을 나타내는 도면이다.

**\*도면의 주요부분에 대한 부호의 설명\***

|                      |                             |
|----------------------|-----------------------------|
| 210, 310 : 전류원부      | 220, 320 : 제 1 전류공급부        |
| 230, 330 : 제 2 전류공급부 | 240, 340 : 스위칭부             |
| 250 : 스위치 제어신호 발생부   | 260, 270, 360, 370 : 전류보정회로 |
| 274 : 전류조절회로         |                             |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <18> 본 발명은 전류 가산형 디지털/아날로그 컨버터(Digital to Analog Converter)에 관한 것으로, 특히 반도체 집적회로로 구현시 칩 사이즈를 줄일 수 있는 전류 가산형 디지털/아날로그 컨버터 및 디지털/아날로그 변환방법에 관한 것이다.
- <19> 디지털/아날로그 컨버터는 소정의 비트를 갖는 디지털 신호를 수신하고 이에 대응하는 아날로그 신호로 변환하여 출력하는 장치이다. 디지털/아날로그 컨버터 중 대표적인 것은 디지털 입력신호의 각 비트가 입력되는 회로가지에 흐르는 전류를 합한 값에 해당하는 전압을 아날로그 출력신호로 출력하는 전류 가산형 디지털/아날로그 컨버터이다. 한국공개특허 제 2000-0072961호에는 10 비트 전류 가산형 디지털/아날로그 컨버터의 일례가 개시되어 있다.
- <20> 도 1은 전류보정회로를 구비한 종래의 10 비트 전류 가산형 디지털/아날로그 컨버터의 일례를 나타낸다. 도 1을 참조하면, 전류 가산형 디지털/아날로그 컨버터는 전류원을 구성하는 PMOS 트랜지스터(MPREF)에 전류미러 연결(current-mirror-connected)되어 전류를 공급하는 소정 수의 PMOS 트랜지스터들(MP1 ~ MP36)을 구비한다. PMOS 트랜지스터들(MP1 ~ MP36) 각각의 드레인 단자와 출력단자(OUT) 사이에는 디지털 입력신호들(D1 ~ D36)에 의해 스위칭 동작을 하는 스위치들(SW1 ~ SW36)이 연결되어 있다. 외부에서 입력되는 10 비트의 디지털 입력신호들 중 하위 5 비트는 그대로 스위치들(SW1 ~ SW5)에 인가되고, 상위 5 비트는 31 비트로 디코딩한 후 스위치들(SW6 ~ SW36)에 인가된다. 또한, 전류 가산형 디지털/아날로그 컨버터는 전류를 공급하는 PMOS 트랜지스터들(MP1 ~ MP36) 각각의 출력전류의 크기가 정상적으로 동작할 때

의 크기와 달라질 때 이 트랜지스터들을 통해 흐르는 전류의 크기를 조절하기 위한 전류보정회로(10)를 포함한다. 온된 스위치에 연결된 PMOS 트랜지스터들(MP1 ~ MP36)의 출력전류는 모두 합해져 출력저항( $R_O$ )으로 흐른다. 출력단자(OUT)에는 기준전압( $V_{REF}$ )에 이들 전류에 의해 발생되는 전압이 더해져서 나타난다. 디지털 입력신호들(D1 ~ D36)의 비트 상태에 따라 온되는 스위치의 수가 달라지고 디지털 입력신호들(D1 ~ D36) 대응하는 아날로그 신호가 출력단자(OUT)에 나타난다.

<21> 그런데, 도 1의 전류 가산형 디지털/아날로그 컨버터에서 전류를 공급하는 PMOS 트랜지스터들(MP1 ~ MP36)에 흐르는 전류신호들의 크기의 비는 PMOS 트랜지스터들(MP1 ~ MP36)의 사이즈, 즉 게이트 영역의 면적 비에 의해 결정된다. 따라서, 집적회로로 구현시 칩 사이즈가 증가하는 문제점이 있다.

<22> 도 1을 참조하면, 디지털 입력신호들(D1 ~ D36) 중 최하위 비트(D1)에 대응하는 PMOS 트랜지스터(MP1)의 사이즈를 1이라 할 때, 각 전류를 공급하는 트랜지스터들의 사이즈는 각각 MP1이 1, MP2가 2, MP3이 4, MP4가 8, MP5가 16, MP6 내지 MP36이 32의 사이즈를 갖는다. 즉, 디지털 입력 데이터의 하위 5 비트에 대응하는 PMOS 트랜지스터들(MP1 ~ MP5)은  $2^k$ ( $k$ 는 자연수)씩 증가하는 크기를 갖고, 상위 5 비트에 대응하는 PMOS 트랜지스터들(MP1 ~ MP5)은 서로 동일한 크기를 갖는다.

<23> 또한, 도 1에 도시된 바와 같은 종래의 디지털/아날로그 컨버터는 정밀도를 늘리는 데 어려움이 많았다. 예를 들면, 10 비트의 컨버터를 구성하는 데 소요되는 전류공급 트랜지스터들의 전체 사이즈는  $(1+2+4+8+16)+(32 \times 31)=1023$  인데 비해, 12 비트의 컨버터를 구성하는 데 소요되는 전류공급 트랜지스터들의 전체 사이즈는  $(1+2+4+8+16+32)+(64 \times 63)=4095$  이다. 즉, 도



1과 같은 구성을 사용하여 디지털/아날로그 컨버터의 정밀도를 2 비트 증가시키는 데 4 배정도의 칩 사이즈의 증가를 초래한다.

<24> 도 1에 도시된 바와 같은 종래의 디지털/아날로그 컨버터는 전류를 공급하는 트랜지스터들(MP1 ~ MP36)이 모두 하나의 트랜지스터(MPREF)에 전류미러 연결되어 있기 때문에, 디지털 입력신호의 상위비트에 대응하는 PMOS 트랜지스터들(MP6 ~ MP36)의 사이즈는 하위비트에 대응하는 PMOS 트랜지스터들(MP1 ~ MP5) 중 가장 높은 비트(D5)에 대응하는 PMOS 트랜지스터(MP5)의 2 배의 사이즈를 갖도록 설계해야 했다. 상위비트에 해당하는 31 개인데, 이들 모두를 디지털 입력신호들 중 최하위 비트(D1)에 대응하는 PMOS 트랜지스터(MP1)의 32 배의 크기를 갖도록 설계하는 것은 집적회로로 구현시 전체 칩 사이즈의 상당한 증가를 초래한다는 문제점이 있었다.

<25> 일본공개특허 특개평9-191252에는 전류공급부를 2 부분으로 나누어 각 전류공급부에 연결된 전류원 미러 트랜지스터를 다르게 함으로써 칩 사이즈를 줄일 수 있는 전류 가산형 디지털/아날로그 컨버터가 개시되어 있다. 그런데, 특개평9-191252에는 전류공급부가 소스저항과 MOS 트랜지스터로 구성되어 있고, 디지털 입력신호가 인가되는 스위치가 MOS 트랜지스터의 게이트에 연결되어 있는 구조를 갖는 디지털/아날로그 컨버터에 대해 개시하고 있다. 또한, 특개평9-191252에 개시된 디지털/아날로그 컨버터에서는 전류공급부를 구성하는 각 MOS 트랜지스터에 직렬 연결된 소스저항의 저항치의 비에 의해 전류공급부에서 공급되는 전류들의 비가 결정된다.

**【발명이 이루고자 하는 기술적 과제】**

<26> 본 발명은 상술한 종래의 문제점을 해결하고자 고안된 발명으로서, 본 발명의 목적은 반도체 집적회로로 구현시 칩 사이즈를 줄일 수 있고 전류보정회로를 구비함에도 불구하고 이로



인해 발생하는 칩 사이즈의 증가와 소비전류의 증가를 최소화할 수 있는 전류 가산형 디지털/아날로그 컨버터를 제공하는 것이다.

<27> 본 발명의 다른 목적은 반도체 집적회로로 구현시 칩 사이즈를 줄일 수 있고 전류보정기능을 가지면서도 칩 사이즈의 증가와 소비전류의 증가를 최소화한 전류 가산형 디지털/아날로그 변환방법을 제공하는 것이다.

### 【발명의 구성 및 작용】

<28> 상기 목적을 달성하기 위하여 본 발명의 제 1 양태(aspect)에 따른 전류 가산형 디지털/아날로그 컨버터는  $k(=m+n)$ , 여기서  $k$ 는 자연수이고,  $m$ 과  $n$ 은  $k$  미만의 자연수) 비트의 디지털 데이터를 대응하는 아날로그 신호로 변환한다.

<29> 본 발명의 제 1 양태에 따른 전류 가산형 디지털/아날로그 컨버터는 전류원부, 제 1 전류공급부, 제 2 전류공급부, 스위칭부, 및 스위치 제어신호 발생부를 구비한다. 스위치 제어신호 발생부는  $k$  비트의 디지털 입력신호들을 수신하고  $m+(2^n-1)$  개의 스위치 제어신호들을 생성한다. 스위치 제어신호 발생부는 디코더와 래치회로를 구비한다. 디코더는 스위치 제어신호 발생부는  $k$  비트의 디지털 입력신호들 중 상위 비트에 해당하는  $n$  비트의 디지털 신호를 수신하고 디코딩하여  $2^n-1$  개의 디지털 신호를 생성한다. 래치회로는  $k$  비트의 디지털 입력신호들 중 하위 비트에 해당하는  $m$  개의 디지털 신호와 상기 디코딩된  $2^n-1$  개의 디지털 신호들을 수신하여 래치하고  $m+(2^n-1)$  개의 스위치 제어신호들을 출력한다. 전류원부는 기준전류원, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터를 구비한다. 제 1 내지 제 5 트랜지스터는 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터 또는 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터로 구성될 수 있다. 제 1 트랜지스터와 제 2 트랜지스터를 PMOS 트랜지스터를 사용하여 구성하면, 제 3 내지 제 5 트랜지스터는 NMOS 트

랜지스터를 사용하여 구성한다. 제 1 트랜지스터와 제 2 트랜지스터를 NMOS 트랜지스터를 사용하여 구성하면, 제 3 내지 제 5 트랜지스터는 PMOS 트랜지스터를 사용하여 구성한다. 제 2 트랜지스터는 제 1 전류신호보다  $2^m$ 배 큰 제 2 전류신호를 출력한다. 기준전류원은 일측단이 전원전압에 연결되어 있으며 기준전류를 공급한다. 제 1 트랜지스터는 다이오드 연결(diode-connected)되어 있으며, 제 1 전류신호를 출력한다. 제 2 트랜지스터는 다이오드 연결되어 있으며, 제 2 전류신호를 출력한다. 제 3 트랜지스터는 기준전류원의 타측단에 공통 연결된 드레인 및 게이트를 갖는다. 제 4 트랜지스터는 제 3 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 1 트랜지스터의 드레인에 연결된 드레인을 갖는다. 제 5 트랜지스터는 제 3 NMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 2 드레인에 연결된 드레인을 갖는다.

<30> 제 1 전류공급부는 전류미러 연결(current-mirror-connected)된  $m$  개의 트랜지스터들로 구성되어 있으며, 전류원부를 구성하는 제 1 트랜지스터에 공통적으로 연결되어 있다. 제 1 전류공급부는 서로 다른 크기의 전류신호들을 출력한다. 제 2 전류공급부는 전류미러 연결된  $2^n - 1$  개의 트랜지스터들로 구성되어 있으며, 전류원부를 구성하는 제 2 트랜지스터에 공통적으로 연결되어 있다. 제 2 전류공급부는 서로 동일한 크기의 전류신호를 출력한다.

<31> 스위칭부는 제 1 전류공급부의  $m$  개의 트랜지스터들과 제 2 전류공급부의  $2^n - 1$  개의 트랜지스터들의 드레인 전류를  $k$  비트 디지털 신호에 응답하여 각각 스위칭하고, 온된 스위치들을 통하여 흐르는 전류들을 가산하여 하나의 아날로그 전류신호를 출력한다.

<32> 본 발명의 제 1 양태에 따른 전류 가산형 디지털/아날로그 컨버터에서, 제 1 전류공급부의  $m$  개의 트랜지스터들은 각각 제 1 트랜지스터 크기의  $2^p$  배( $0 \leq p < m$ )의 서로 다른 크기를 가

지며, 제 2 전류공급부의  $2^n-1$  개의 트랜지스터들은 각각 상기 제 2 트랜지스터와 동일한 사이즈를 가질 수 있다.

<33> 본 발명의 제 1 양태에 따른 전류 가산형 디지털/아날로그 컨버터는 제 1 전류공급부의 적어도 하나의 출력신호와 제 2 전류공급부의 적어도 하나의 출력신호를 수신하고, 에러보정신호를 발생시켜 제 1 전류신호와 제 2 전류신호의 크기를 조절하는 전류보정회로를 더 구비할 수 있다.

<34> 본 발명의 제 2 양태에 따른 전류 가산형 디지털/아날로그 컨버터는 전류원부, 제 1 전류공급부, 제 2 전류공급부, 스위칭부, 및 스위치 제어신호 발생부를 구비한다.

<35> 전류원부는 기준전류원, 제 1 NMOS 트랜지스터, 제 2 NMOS 트랜지스터, 제 3 NMOS 트랜지스터, 제 1 PMOS 트랜지스터, 및 제 2 PMOS 트랜지스터를 구비한다. 기준전류원은 일측단이 전원전압에 연결되어 있으며 기준전류를 공급한다. 제 1 PMOS 트랜지스터는 다이오드 연결(diode-connected)되어 있으며, 제 1 전류신호를 출력한다. 제 2 PMOS 트랜지스터는 다이오드 연결되어 있으며, 제 2 전류신호를 출력한다. 제 1 NMOS 트랜지스터는 기준전류원의 타측단에 공통 연결된 드레인 및 게이트를 갖는다. 제 2 NMOS 트랜지스터는 제 1 NMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는다. 제 3 NMOS 트랜지스터는 제 1 NMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 2 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는다. 제 1 PMOS 트랜지스터의 사이즈에 대한 제 2 PMOS 트랜지스터의 사이즈의 비(ratio)는 제 2 NMOS 트랜지스터의 사이즈에 대한 제 3 NMOS 트랜지스터의 사이즈의 비보다 작게 설계된다.

- <36> 제 1 전류공급부는 전류미러 연결(current-mirror-connected)된 PMOS 트랜지스터들로 구성되어 있으며, 전류원부를 구성하는 제 1 PMOS 트랜지스터에 공통적으로 연결되어 있다. 제 1 전류공급부는 서로 다른 크기의 전류신호들을 출력한다. 제 2 전류공급부는 전류미러 연결된 PMOS 트랜지스터들로 구성되어 있으며, 전류원부를 구성하는 제 2 PMOS 트랜지스터에 공통적으로 연결되어 있다. 제 2 전류공급부는 서로 동일한 크기의 전류신호를 출력한다.
- <37> 스위칭부는 제 1 전류공급부 및 제 2 전류공급부의 출력단자들과 컨버터 출력단자 사이에 연결되고 디지털 신호에 응답하여 스위칭하는 스위치들을 포함한다.
- <38> 본 발명의 제 2 양태에 따른 전류 가산형 디지털/아날로그 컨버터는 전류보정회로를 더 구비할 수 있다. 전류보정회로는 제 1 전류공급부의 적어도 하나의 출력신호와 제 2 전류공급부의 적어도 하나의 출력신호를 수신하고, 에러보정신호를 발생시켜 전류원부에 전송한다. 전류보정회로는 에러앰프, NMOS 트랜지스터, 및 NMOS 트랜지스터를 구비한다. 에러앰프는 제 1 전류공급부의 하나의 출력신호와 제 2 전류공급부의 하나의 출력신호를 센싱하고 증폭하여 제 1 증폭신호와 제 2 증폭신호를 출력한다. NMOS 트랜지스터는 제 1 증폭신호의 제어하에 스위칭 동작을 하고, 전류원부의 제 2 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는다. NMOS 트랜지스터는 제 2 증폭신호의 제어하에 스위칭 동작을 하고, 전류원부의 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는다.
- <39> 본 발명의 제 3 양태에 따른 전류 가산형 디지털/아날로그 컨버터는 전류원부, 제 1 전류공급부, 제 2 전류공급부, 스위칭부, 및 스위치 제어신호 발생부를 구비한다.
- <40> 전류원부는 기준전류원, 제 1 PMOS 트랜지스터, 제 2 PMOS 트랜지스터, 제 3 PMOS 트랜지스터, 제 1 NMOS 트랜지스터, 및 제 2 NMOS 트랜지스터를 구비한다. 기준전류원은 일측단이 접지에 연결되어 있으며 기준전류를 공급한다. 제 1 NMOS 트랜지스터는 다이오드 연결

(diode-connected)되어 있으며, 제 1 전류신호를 출력한다. 제 2 NMOS 트랜지스터는 다이오드 연결되어 있으며, 제 2 전류신호를 출력한다. 제 1 PMOS 트랜지스터는 기준전류원의 타측단에 공통 연결된 드레인 및 게이트를 갖는다. 제 2 PMOS 트랜지스터는 제 1 PMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는다. 제 3 PMOS 트랜지스터는 제 1 PMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 2 NMOS 트랜지스터의 드레인에 연결된 드레인을 갖는다. 제 1 NMOS 트랜지스터의 사이즈에 대한 제 2 NMOS 트랜지스터의 사이즈의 비(ratio)는 제 2 PMOS 트랜지스터의 사이즈에 대한 제 3 PMOS 트랜지스터의 사이즈의 비보다 작게 설계된다.

<41> 제 1 전류공급부는 전류미러 연결(current-mirror-connected)된 NMOS 트랜지스터들로 구성되어 있으며, 전류원부를 구성하는 제 1 NMOS 트랜지스터에 공통적으로 연결되어 있다. 제 1 전류공급부는 서로 다른 크기의 전류신호들을 출력한다. 제 2 전류공급부는 전류미러 연결된 NMOS 트랜지스터들로 구성되어 있으며, 전류원부를 구성하는 제 2 NMOS 트랜지스터에 공통적으로 연결되어 있다. 제 2 전류공급부는 서로 동일한 크기의 전류신호를 출력한다.

<42> 스위칭부는 제 1 전류공급부 및 제 2 전류공급부의 출력단자들과 컨버터 출력단자 사이에 연결되고 디지털 신호에 응답하여 스위칭하는 스위치들을 포함한다.

<43> 본 발명의 하나의 양태에 따른 전류 가산형 디지털/아날로그 변환방법은  $k(=m+n)$ , 여기서  $k$ 는 자연수이고,  $m$ 과  $n$ 은  $k$  미만의 자연수) 비트의 디지털 데이터를 대응하는 아날로그 신호로 변환한다. 상기 전류 가산형 디지털/아날로그 변환방법은  $k$  비트의 디지털 입력신호들을 수신하고  $m+(2^n-1)$  개의 스위치 제어신호들을 생성하는 단계, 제 1 전류신호와 상기 제 1 전류신호의  $2^m$ 배의 크기를 가진 제 2 전류신호를 각각 생성하는 단계, 제 1 전류신호에 응답하여  $2^p(0 \leq p < m)$ 의 서로 다른 가중치를 가진  $m$ 개의 제 3 전류신호들을 생성하는 단계, 제 2 전류

신호에 응답하여  $2^m$ 의 가중치를 가진  $2^n-1$  개의 제 4 전류신호들을 생성하는 단계, 및 제 1 전류공급부의 제 3 전류신호들 및 제 2 전류공급부의 제 4 전류신호들을 수신하고 스위치 제어신호들에 응답하여 선택된 전류신호들의 총합을 입력된 k 비트 디지털 입력신호에 대응하는 아날로그 신호로 출력단자에 출력하는 단계를 구비한다.

<44>        상기 전류 가산형 디지털/아날로그 변환방법은 전류보정단계를 더 구비할 수 있다. 전류보정단계는 제 1 전류공급부의 적어도 하나의 출력 전류신호와 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고 에러보정신호를 발생시키는 단계, 및 전류원부의 제 1 전류신호 및/또는 제 2 전류신호의 크기를 조절하는 단계를 포함하는 전류보정단계를 더 구비할 수 있다.

<45>        이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하고자 한다.

<46>        도 2는 본 발명의 제 1 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타낸다. 도 2를 참조하면, 전류 가산형 디지털/아날로그 컨버터는 전류원부(210), 제 1 전류공급부(220), 제 2 전류공급부(230), 스위칭부(240), 및 스위치 제어신호 발생부(250)를 구비한다. 출력단자(OUT)와 기준전압(VREF) 사이에는 출력저항( $R_O$ )이 연결되어 있으며, 기준전압(VREF)은 디지털/아날로그 컨버터에 입력되는 디지털 신호가 0일 때의 출력전압이다.

<47>        스위치 제어신호 발생부(250)는 10 비트의 디지털 입력신호(DIN1 ~ DIN10)들을 수신하고  $5+(2^5-1)$  개의 스위치 제어신호들(D1 ~ D36)을 생성한다.

<48>        전류원부(210)는 기준전류원(212), 제 1 NMOS 트랜지스터(MNREF), 제 2 NMOS 트랜지스터(MN01), 제 3 NMOS 트랜지스터(MN02), 제 1 PMOS 트랜지스터(MP01), 및 제 2 PMOS 트랜지스터(MP02)를 구비한다. 기준전류원(212)은 일측단이 전원전압(VDD)에 연결되어 있으며 기준전류



(IREF)를 공급한다. 제 1 PMOS 트랜지스터(MP01)는 다이오드 연결(diode-connected)되어 있으며, 제 1 전류신호(I)를 출력한다. 제 2 PMOS 트랜지스터(MP02)는 다이오드 연결되어 있으며, 제 2 전류신호(32I)를 출력한다. 제 1 NMOS 트랜지스터(MNREF)는 기준전류원(212)의 타측단에 공통 연결된 드레인 및 게이트를 갖는다. 제 2 NMOS 트랜지스터(MN01)는 제 1 NMOS 트랜지스터(MNREF)의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 1 PMOS 트랜지스터(MP01)의 드레인에 연결된 드레인을 갖는다. 제 3 NMOS 트랜지스터(MN02)는 제 1 NMOS 트랜지스터(MNREF)의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 2 PMOS 트랜지스터(MP02)의 드레인에 연결된 드레인을 갖는다.

<49> 제 1 전류공급부(220)는 전류미러 연결(current-mirror-connected)된 PMOS 트랜지스터들(MP1 ~ MP5)로 구성되어 있으며, 전류원부(210)를 구성하는 제 1 PMOS 트랜지스터(MP01)에 공통적으로 연결되어 있다. 제 1 전류공급부(220)는 서로 다른 크기의 전류신호들(I, 2I, 4I, 8I, 16I)을 출력한다.

<50> 제 2 전류공급부(230)는 전류미러 연결된 PMOS 트랜지스터들(MP6 ~ MP36)로 구성되어 있으며, 전류원부(210)를 구성하는 제 2 PMOS 트랜지스터(MP02)에 공통적으로 연결되어 있다. 제 2 전류공급부(230)는 서로 동일한 크기의 전류신호(32I)를 출력한다.

<51> 스위칭부(240)는 제 1 전류공급부(220) 및 제 2 전류공급부(230)의 출력단자들과 컨버터 출력단자(OUT) 사이에 연결되고 스위치 제어신호들(D1 ~ D36)에 응답하여 스위칭하는 스위치들(SW1 ~ SW36)을 포함한다.

<52> 도 3은 도 2에 있는 스위치 제어신호 발생부(250)를 상세히 나타낸 도면이다. 도 3을 참조하면, 스위치 제어신호 발생부(250)는 디코더(251), 및 래치회로(253)를 구비한다.



- <53> 이하, 도 2와 도 3을 참조하여 본 발명의 제 1 실시예에 따른 디지털/아날로그 컨버터의 동작을 설명한다.
- <54> 스위치 제어신호 발생부(250)의 디코더(251)는 디지털 입력신호들(DIN1 ~ DIN10) 중 상위 비트에 해당하는 디지털 신호들(DIN6 ~ DIN10)을 수신하고 디코딩하고  $2^5-1$  개의 디지털 신호(DE01 ~ DE031)를 생성한다. 래치회로(253)는 디지털 입력신호(DIN1 ~ DIN10)들 중 하위 비트에 해당하는 디지털 신호들(DIN1 ~ DIN5)과 디코딩된  $2^5-1$  개의 디지털 신호들(DE01 ~ DE031)을 수신하여 래치하고  $5+(2^5-1)$  개의 스위치 제어신호들을 출력한다.
- <55> 제 1 NMOS 트랜지스터(MNREF), 제 2 NMOS 트랜지스터(MN01), 및 제 3 NMOS 트랜지스터(MN02)는 전류미러 연결되어 있다. 제 2 NMOS 트랜지스터(MN01)는 제 1 NMOS 트랜지스터(MNREF)와 동일한 사이즈, 즉 동일한 폭/길이(width/length)를 갖고, 제 3 NMOS 트랜지스터(MN02)는 제 2 NMOS 트랜지스터(MN01)의 32배의 사이즈, 즉 제 2 NMOS 트랜지스터(MN01)의 32배의 폭/길이를 갖는다.
- <56> 이들 트랜지스터의 스레숄드 전압( $V_{TH}$ )이 모두 동일하다면, 제 2 NMOS 트랜지스터(MN01)의 드레인에 흐르는 전류(I)는 제 1 NMOS 트랜지스터(MNREF)의 드레인에 흐르는 전류(I<sub>REF</sub>)와 동일한 크기를 가지며, 제 3 NMOS 트랜지스터(MN02)의 드레인에 흐르는 전류는 제 2 NMOS 트랜지스터(MN01)의 드레인에 흐르는 전류(I)의 32배의 크기를 갖는다.
- <57> 제 1 PMOS 트랜지스터(MP01)는 다이오드 연결되어 있으며, 그 드레인이 제 2 NMOS 트랜지스터(MN01)의 드레인에 연결되어 있으므로, 제 1 PMOS 트랜지스터(MP01)의 드레인에 흐르는 전류는 제 2 NMOS 트랜지스터(MN01)의 드레인에 흐르는 전류(I)와 동일하다.

- <58> 제 2 PMOS 트랜지스터(MP02)는 다이오드 연결되어 있으며, 그 드레인이 제 3 NMOS 트랜지스터(MN02)의 드레인에 연결되어 있으므로, 제 2 PMOS 트랜지스터(MP02)의 드레인에 흐르는 전류는 제 3 NMOS 트랜지스터(MN02)의 드레인에 흐르는 전류( $32I$ )와 동일하다.
- <59> 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5)은 전류미러 연결되어 있고 그 게이트들이 전류원부(210)의 제 1 PMOS 트랜지스터(MP01)의 게이트에 연결되어 있다. PMOS 트랜지스터(MP1)는 제 1 PMOS 트랜지스터(MP01)와 동일한 사이즈를 가지고, PMOS 트랜지스터(MP2)는 PMOS 트랜지스터(MP1)의 2배의 사이즈, PMOS 트랜지스터(MP3)는 PMOS 트랜지스터(MP2)의 2배의 사이즈, PMOS 트랜지스터(MP4)는 PMOS 트랜지스터(MP3)의 2배의 사이즈, PMOS 트랜지스터(MP5)는 PMOS 트랜지스터(MP4)의 2배의 사이즈를 갖는다. 따라서, 출력전류는 각각  $I$ ,  $2I$ ,  $4I$ ,  $8I$ ,  $16I$ , 즉  $2^k$ ( $k$ 는 자연수)의 크기를 갖는다.
- <60> 제 2 전류공급부(230)의 PMOS 트랜지스터들(MP6 ~ MP36)은 전류미러 연결되어 있고 그 게이트들이 전류원부(210)의 제 2 PMOS 트랜지스터(MP02)의 게이트에 연결되어 있다. PMOS 트랜지스터들(MP6 ~ MP36)은 모두 동일한 사이즈를 갖는다. 따라서, 출력전류는 모두  $32I$ 의 크기를 갖는다.
- <61> 도 2의 디지털/아날로그 컨버터는 제 1 전류공급부(220)에 5 개의 PMOS 트랜지스터들(MP1 ~ MP5)을 사용하고, 제 2 전류공급부(230)에 31 개의 PMOS 트랜지스터들(MP6 ~ MP36)을 사용하여, 10 비트의 디지털/아날로그 변환을 수행한다.
- <62> 10 비트의 디지털 입력신호(DIN1 ~ DIN10)들은 스위치 제어신호 발생부(250)에 의해  $5+(2^5-1)$  개의 스위치 제어신호들(D1 ~ D36)로 바뀌어 출력된다.

- <63> 36 비트의 스위치 제어신호들(D1 ~ D36) 중 하위 5 비트(D1 ~ D5)는 스위칭부(240)의 스위치들(SW1 ~ SW5)에 각각 입력된다. 스위치 제어신호(D1)는 최하위 비트(Least Significant Bit; 이하, LSB라 함)로서 스위치(SW1)에 입력되고, 스위치 제어신호(D2)는 스위치(SW2)에, 스위치 제어신호(D3)는 스위치(SW3)에, 스위치 제어신호(D4)는 스위치(SW4)에, 스위치 제어신호(D5)는 스위치(SW5)에 각각 입력된다.
- <64> 10 비트의 디지털 입력신호들(DIN1 ~ DIN10) 중 상위 5 비트(DIN6 ~ DIN10)는 디코딩하여 31비트의 데이터(DE01 ~ DE031)로 만들어진 후 스위칭부(240)의 스위치들(SW6 ~ SW36)에 각각 입력된다. 스위칭부(240)에 입력되는 31 비트의 스위치 제어신호(D6 ~ D36) 사이에는 우선 순위가 없다.
- <65> 디지털/아날로그 컨버터의 스위치 제어신호들(D1 ~ D36)이 모두 "0", 즉 디지털 입력신호(DIN1 ~ DIN10)가 모두 "0"일 때, 출력단자(OUT)에는 기준전압(VREF)이 출력된다.
- <66> 스위치 제어신호들(D1 ~ D36) 중 D1이 "1"이고 나머지는 모두 "0"일 때, 스위치(SW1)가 온되고 다른 스위치들(SW2 ~ SW36)은 오프된다. 이 때는 전류신호(I)가 PMOS 트랜지스터(MP1)를 통해 출력저항(R0)으로 흐른다. 출력단자(OUT)에는 기준전압(VREF)에  $I \times R0$ 의 전압이 더해져 출력된다.
- <67> 스위치 제어신호들(D1 ~ D36) 중 D2가 "1"이고 나머지는 모두 "0"일 때, 스위치(SW2)가 온되고 다른 스위치들(SW1, SW3 ~ SW36)은 오프된다. 이 때는 전류신호(2I)가 PMOS 트랜지스터(MP2)를 통해 출력저항(R0)으로 흐른다. 출력단자(OUT)에는 기준전압(VREF)에  $2I \times R0$ 의 전압이 더해져 출력된다.

- <68> 스위치 제어신호들(D1 ~ D36) 중 D1과 D2가 "1"이고 나머지는 모두 "0"일 때, 스위치(SW1)과 스위치(SW2)가 온되고 다른 스위치들(SW3 ~ SW36)은 오프된다. 이 때는 PMOS 트랜지스터(MP1)과 PMOS 트랜지스터(MP2)를 통해 전류신호(I)와 전류신호(2I)가 더해져 출력저항(R0)으로 흐른다. 출력단자(OUT)에는 기준전압(VREF)에  $(1+2)I \times R0$ 의 전압이 더해져 출력된다.
- <69> 스위치 제어신호들(D1 ~ D36) 중 D1 내지 D5가 "1"이고 나머지는 모두 "0"일 때, 스위치(SW1) 내지 스위치(SW5)가 온되고 다른 스위치들(SW6 ~ SW36)은 오프된다. 이 때는 PMOS 트랜지스터(MP1) 내지 PMOS 트랜지스터(MP5)를 통해 전류신호(I), 전류신호(2I), 전류신호(4I), 전류신호(8I), 및 전류신호(16I)가 더해져 출력저항(R0)으로 흐른다. 출력단자(OUT)에는 기준전압(VREF)에  $(1+2+4+8+16)I \times R0$ 의 전압이 더해져 출력된다.
- <70> 이와 같이, 제 1 전류공급부(220)에 의해  $(0+VREF)$ 에서  $(31I \times R0 + VREF)$ 까지 32 개의 구분된 전압을 나타낼 수 있다. 스위칭부(240)에 입력되는 31 비트의 스위치 제어신호들(D6 ~ D36) 사이에는 우선순위가 없으므로, 이들 데이터로 나타낼 수 있는 조합의 수는 32이다. 따라서, 제 1 전류공급부(220), 제 2 전류공급부(230), 및 스위칭부(240)에 의해 나타낼 수 있는 구분된 전압의 수는  $32 \times 32 = 1024$ 이다. 즉, 도 3의 디지털/아날로그 컨버터로 10 비트의 디지털 신호를 대응하는 아날로그 신호로 변환할 수 있다.
- <71> 도 2에 도시된 전류 가산형 디지털/아날로그 컨버터에서, 제 1 전류공급부(220)는 PMOS 트랜지스터(MP01)에 연결되어 있고, 제 2 전류공급부(230)는 PMOS 트랜지스터(MP01)에 연결되어 있다. PMOS 트랜지스터(MP02)를 PMOS 트랜지스터(MP01)의 32배보다 작게 설계해도 NMOS 트랜지스터(MN02)에 연결된 PMOS 트랜지스터(MP02)에는 PMOS 트랜지스터(MP01)에 흐르는 전류의 32배의 전류가 흐를 수 있다. 또한, PMOS 트랜지스터(MP02)에 연결된 제 2 전류공급부(230)의 트랜지스터들(MP6 ~ MP36)의 사이즈도 PMOS 트랜지스터(MP01)의 32배보다 작게 설계하더라도,

이들 트랜지스터를 통해 흐르는 전류는 PMOS 트랜지스터(MP01)에 흐르는 전류의 32배가 될 수 있다. 예를 들면, PMOS 트랜지스터(MP01)의 게이트 영역의 폭/길이는 4/2로, PMOS 트랜지스터(MP02)의 게이트 영역의 폭/길이는 7/3으로 설계할 수 있다. PMOS 트랜지스터(MP02)에 연결된 제 2 전류공급부(230)의 트랜지스터들(MP6 ~ MP36)의 폭/길이도 7/3으로 설계할 수 있다. 따라서, 도 2의 회로를 사용하여 반도체 집적회로 구현시 사용면적을 줄일 수 있다.

<72> 도 4는 본 발명의 제 2 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타낸다. 도 4의 회로는 도 2에 도시된 본 발명의 제 1 실시예의 회로에 전류 보정회로가 추가된 전류 가산형 디지털/아날로그 컨버터이다.

<73> 도 4를 참조하면, 전류보정회로(260)는 제 1 전류공급부(220)의 하나의 출력신호(CS1)와 제 2 전류공급부(230)의 하나의 출력신호(CS2)를 수신하고, 에러보정신호(EC1P, EC1N)를 발생시켜 전류원부(210)에 전송한다. 전류보정회로(260)는 에러앰프(262), NMOS 트랜지스터(MNC1), 및 NMOS 트랜지스터(MNC2)를 구비한다.

<74> 에러앰프(262)는 제 1 전류공급부(220)의 하나의 출력신호(CS1)와 제 2 전류공급부(230)의 하나의 출력신호(CS2)를 센싱하고 증폭하여 제 1 증폭신호(VCO1)와 제 2 증폭신호(VCO2)를 출력한다. NMOS 트랜지스터(MNC1)는 제 1 증폭신호(VCO1)의 제어하에 스위칭 동작을 하고, 전류원부(210)의 제 2 PMOS 트랜지스터(MP02)의 드레인에 연결된 드레인을 갖는다. NMOS 트랜지스터(MNC2)는 제 2 증폭신호(VCO2)의 제어하에 스위칭 동작을 하고, 전류원부(210)의 제 1 PMOS 트랜지스터(MP01)의 드레인에 연결된 드레인을 갖는다.

<75> 이하, 전류보정회로(260)의 동작에 대해 설명한다.

- <76> 도 4의 예에서는 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5) 중 MP1의 드레인 전류(CS1)와 제 2 전류공급부(230)의 PMOS 트랜지스터들(MP6 ~ MP36) 중 MP6의 드레인 전류(CS2)를 센싱하여 에러를 보정하는 경우를 나타내었다.
- <77> 예를 들어, CS1이 증가하고 CS2가 감소할 경우, VC01은 증가하고 VC02는 감소하게 된다. VC01이 증가하면, NMOS 트랜지스터(MNC2)를 통해 흐르는 전류(EC1P)가 증가하게 된다. VC02가 감소하면, NMOS 트랜지스터(MNC1)을 통해 흐르는 전류(EC1N)가 감소하게 된다. 따라서, 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5)에 흐르는 전류는 감소하게 되고, 제 2 전류공급부(230)의 PMOS 트랜지스터들(MP6 ~ MP36)에 흐르는 전류는 증가하게 된다.
- <78> CS1이 감소하고 CS2가 증가할 경우, VC01은 감소하고 VC02는 증가하게 된다. VC01이 감소하면, NMOS 트랜지스터(MNC2)를 통해 흐르는 전류(EC1P)가 감소하게 된다. VC02가 증가하면, NMOS 트랜지스터(MNC1)를 통해 흐르는 전류(EC1N)가 증가하게 된다. 따라서, 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5)에 흐르는 전류는 증가하게 되고, 제 2 전류공급부(230)의 PMOS 트랜지스터들(MP6 ~ MP36)에 흐르는 전류는 감소하게 된다.
- <79> 이런 식으로, 도 3의 전류보정회로(260)는 제 1 전류공급부(220) 및 제 2 전류공급부(230)의 출력전류가 정상적으로 동작할 때보다 증가하면 감소시키는 쪽으로, 정상적으로 동작할 때보다 감소하면 증가시키는 쪽으로 에러보정을 수행한다.
- <80> 도 5는 본 발명의 제 3 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타낸다.
- <81> 도 5를 참조하면, 전류보정회로(270)는 제 1 전류공급부(220)의 하나의 출력신호(CS1)와 제 2 전류공급부(230)의 하나의 출력신호(CS2)를 수신하고, 에러보정신호(EC2)를 발생시켜 전

류원부(210)에 전송한다. 전류보정회로(270)는 아날로그/디지털 컨버터(272), 및 스위칭 트랜지스터들(MNC3 ~MNC6)로 구성된 전류조절회로(274)를 구비한다.

<82> 아날로그/디지털 컨버터(272)는 제 1 전류공급부(220)의 하나의 출력신호(CS1)와 제 2 전류공급부(230)의 하나의 출력신호(CS2)를 수신하여 4 비트의 디지털 신호로 변환한다. 아날로그/디지털 컨버터(272)는 필요에 따라 임의의 비트의 디지털 출력신호를 가질 수 있다.

<83> 전류조절회로(274)는 병렬로 연결된 4 개의 NMOS 트랜지스터(MNC3 ~ MNC6)를 포함한다. NMOS 트랜지스터들(MNC3 ~ MNC6)은 각각 아날로그/디지털 컨버터(272)의 디지털 출력신호의 제어하에 스위칭 동작을 하고 에러보정신호(EC2)를 발생시킨다. 이 에러보정신호(EC2)는 제 1 PMOS 트랜지스터(MP01)의 드레인에 전송된다.

<84> 이하, 전류보정회로(270)의 동작에 대해 설명한다.

<85> 도 5의 예에서는 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5) 중 MP1의 드레인 전류(CS1)와 제 2 전류공급부(230)의 PMOS 트랜지스터들(MP6 ~ MP36) 중 MP6의 드레인 전류(CS2)를 센싱하여 에러를 보정하는 경우를 나타내었다.

<86> 도 5의 전류보정회로(270)는 CS1과 CS2를 비교하고 그 차이에 따라 아날로그/디지털 컨버터(272)의 디지털 출력신호의 값이 결정된다. 이 디지털 출력신호의 값에 따라 NMOS 트랜지스터들(MNC3 ~ MNC6) 중 온되는 트랜지스터의 수가 결정된다. 온된 트랜지스터의 수가 증가하면 에러보정신호(EC2)의 크기는 증가하고, 온된 트랜지스터의 수가 감소하면 에러보정신호(EC2)의 크기는 감소한다.

<87> 도 5의 예에서, 전류조절회로(274)를 이루는 NMOS 트랜지스터들(MNC3 ~ MNC6)의 드레인은 제 1 PMOS 트랜지스터(MP01)의 드레인에 공통 연결되어 있다. 따라서, 전류보정회로(270)는

제 1 PMOS 트랜지스터(MP01)에 전류미러 연결된 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5)에 흐르는 전류를 변화시킨다.

<88> 예를 들어, CS1이 CS2에 비해 증가할 경우, 전류보정회로(270)는 에러보정신호(EC2)의 크기를 감소시키고 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5)에 흐르는 전류를 감소시킨다.

<89> CS1이 CS2에 비해 감소할 경우, 전류보정회로(270)는 에러보정신호(EC2)의 크기를 증가시키고 제 1 전류공급부(220)의 PMOS 트랜지스터들(MP1 ~ MP5)에 흐르는 전류를 증가시킨다.

<90> 이런 식으로, 도 5의 전류보정회로(270)는 제 1 전류공급부(220)의 출력전류가 정상적으로 동작할 때보다 증가하면 감소시키는 쪽으로, 정상적으로 동작할 때보다 감소하면 증가시키는 쪽으로 에러보정을 수행한다.

<91> 도 6은 본 발명의 제 4 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다. 도 6의 디지털/아날로그 컨버터는 전류보정회로(270)의 출력인 에러보정신호(EC2)가 전류원부(210)의 제 2 PMOS 트랜지스터(MP02)에 흐르는 전류를 변화시킨다는 점 외에는 도 5의 회로와 동일하다. 따라서, 도 6의 회로에 대한 상세한 설명은 생략한다.

<92> 도 6의 전류보정회로(270)는 제 2 전류공급부(230)의 출력전류가 정상적으로 동작할 때보다 증가하면 감소시키는 쪽으로, 정상적으로 동작할 때보다 감소하면 증가시키는 쪽으로 에러보정을 수행한다.

<93> 상기에서는, 제 1 전류공급부(220) 및 제 2 전류공급부(230)로부터 각각 1 개의 출력신호를 수신하여 에러를 보정하는 경우를 예로 기술하였지만, 이 전류공급부들(220, 230)로부터 각각 2 개 이상의 출력신호를 수신하여 에러를 보정할 수도 있다.



- <94> 종래의 에러보정 방법은, 도 1에 도시된 바와 같이, 전류공급부를 구성하는 트랜지스터들(MP1 ~ MP36) 모두로부터 출력전류를 센싱하고, 컨버터 출력단자(OUT)의 전압 레벨을 조절하는 방식이었다. 따라서, 전류보정회로가 복잡하고 전류소모가 많았다.
- <95> 도 4 내지 도 6에 도시된 본 발명에 따른 디지털/아날로그 컨버터의 에러보정 방법은 제 1 전류공급부(220)의 하나의 출력과 제 2 전류공급부(230)의 하나의 출력만을 센싱하여 전류원부(210)로 피드백하고 전류공급부의 출력전류를 조절하는 방식이다. 따라서, 전류보정회로가 간단하고 전류소모를 줄일 수 있다.
- <96> 도 7은 본 발명의 제 5 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타낸다. 도 7의 회로는 전류공급부가 접지에 연결된 구조의 디지털/아날로그 컨버터이다.
- <97> 도 7을 참조하면, 전류 가산형 디지털/아날로그 컨버터는 전류원부(310), 제 1 전류공급부(320), 제 2 전류공급부(330), 스위칭부(340), 및 스위치 제어신호 발생부(미도시)를 구비한다. 컨버터 출력단자(OUT)와 기준전압(VREF) 사이에는 출력저항(R0)이 연결되어 있으며, 기준전압(VREF)은 디지털/아날로그 컨버터에 입력되는 디지털 신호가 0일 때의 출력전압이다.
- <98> 도 2의 실시예에서와 마찬가지로, 도 7에 도시된 전류 가산형 디지털/아날로그 컨버터에서도, 10 비트의 디지털 입력신호(DIN1 ~ DIN10)들은 스위치 제어신호 발생부(250)에 의해  $5+(2^5-1)$  개의 스위치 제어신호들(D1 ~ D36)로 바뀌어 출력된다.
- <99> 전류원부(310)는 기준전류원(312), 제 1 PMOS 트랜지스터(MPREF), 제 2 PMOS 트랜지스터(MP01), 제 3 PMOS 트랜지스터(MP02), 제 1 NMOS 트랜지스터(MN01), 및 제 2 NMOS 트랜지스터(MN02)를 구비한다. 기준전류원(312)은 일측단이 접지(GND)에 연결되어 있으며 기준전류(IREF)를 공급한다. 제 1 NMOS 트랜지스터(MN01)는 다이오드 연결(diode-connected)되어

있으며, 제 1 전류신호(I)를 출력한다. 제 2 NMOS 트랜지스터(MN02)는 다이오드 연결되어 있으며, 제 2 전류신호(32I)를 출력한다. 제 1 PMOS 트랜지스터(MPREF)는 기준전류원(312)의 타측단에 공통 연결된 드레인 및 게이트를 갖는다. 제 2 PMOS 트랜지스터(MP01)는 제 1 PMOS 트랜지스터(MPREF)의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 1 PMOS 트랜지스터(MP01)의 드레인에 연결된 드레인을 갖는다. 제 3 PMOS 트랜지스터(MP02)는 제 1 PMOS 트랜지스터(MPREF)의 게이트에 연결된 게이트와 접지에 연결된 소스와 제 2 NMOS 트랜지스터(MN02)의 드레인에 연결된 드레인을 갖는다.

- <100> 제 1 전류공급부(320)는 전류미러 연결(current-mirror-connected)된 NMOS 트랜지스터들(MN1 ~ MN5)로 구성되어 있으며, 전류원부(310)를 구성하는 제 1 NMOS 트랜지스터(MN01)에 공통적으로 연결되어 있다. 제 1 전류공급부(320)는 서로 다른 크기의 전류신호들(I, 2I, 4I, 8I, 16I)을 출력한다.
- <101> 제 2 전류공급부(330)는 전류미러 연결된 NMOS 트랜지스터들(MN6 ~ MN36)로 구성되어 있으며, 전류원부(310)를 구성하는 제 2 NMOS 트랜지스터(MN02)에 공통적으로 연결되어 있다. 제 2 전류공급부(330)는 서로 동일한 크기의 전류신호(32I)를 출력한다.
- <102> 제 1 스위칭부(340)는 제 1 전류공급부(320)의 출력단자들과 디지털/아날로그 컨버터 출력단자(OUT) 사이에 연결되고 스위치 제어신호(D1 ~ D5)에 응답하여 스위칭하는 스위치들(SW1 ~ SW5)을 포함한다.
- <103> 제 2 스위칭부(350)는 제 2 전류공급부(330)의 출력단자들과 컨버터 출력단자(OUT) 사이에 연결되고 스위치 제어신호(D6 ~ D36)에 응답하여 스위칭하는 스위치들(SW6 ~ SW36)을 포함한다.

- <104> 도 7에 도시된 디지털/아날로그 컨버터의 동작은 도 2에 도시된 본 발명의 제 1 실시예에 따른 디지털/아날로그 컨버터의 동작과 유사하므로 그 설명을 생략한다.
- <105> 도 8은 본 발명의 제 6 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타내는 회로도이다.
- <106> 도 8에 있는 전류보정회로의 구조와 동작은 도 4에 있는 전류보정회로의 그것과 유사하므로 그 설명을 생략한다.
- <107> 도 9는 본 발명의 제 7 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타낸다. 도 9에 있는 전류보정회로의 구조와 동작은 도 5에 있는 전류보정회로의 그것과 유사하므로 그 설명을 생략한다.
- <108> 도 10은 본 발명의 제 8 실시예에 따른 10 비트 전류 가산형 디지털/아날로그 컨버터를 나타낸다.
- <109> 도 10에 있는 전류보정회로의 구조와 동작은 도 6에 있는 전류보정회로의 그것과 유사하므로 그 설명을 생략한다.
- <110> 도 11은 본 발명에 따른 디지털/아날로그 컨버터를 사용하여 임의의 비트를 갖는 디지털/아날로그 컨버터를 설계할 때, 제 1 전류공급부와 제 2 전류공급부 내의 트랜지스터들의 조합을 구성하는 하나의 예를 나타내는 표이다.
- <111> 도 11을 참조하면,  $k$  ( $k$ 는 자연수) 비트 디지털/아날로그 컨버터의 설계시  $k=m+n$  ( $m$ 과  $n$ 은  $k$  미만의 자연수) 이라 두면, 하위비트에 대응하는 제 1 전류공급부의 트랜지스터의 수는  $m$ 이 되고, 상위비트에 대응하는 제 2 전류공급부의 트랜지스터의 수는  $2^n-1$ 이 된다.

- <112> 예를 들어, 10 비트의 디지털/아날로그 컨버터를 설계시, 하위비트에 대응하는 제 1 전류공급부에 5 개의 트랜지스터를 사용하는 경우, 상위비트에 대응하는 제 2 전류공급부에는 31 개의 트랜지스터를 사용한다. 제 1 전류공급부의 트랜지스터들은 그 사이즈(폭/길이)가 2의 승수로 증가하고, 제 2 전류공급부의 트랜지스터들은 모두 동일한 사이즈를 갖도록 설계한다. 최하위비트에 대응하는 트랜지스터의 사이즈를 1로 두었을 때, 전체 트랜지스터의 사이즈는  $1+2+4+8+16+32 \times 31=1023$ 이 된다.
- <113> 하위비트에 대응하는 제 1 전류공급부에 4 개의 트랜지스터를 사용하는 경우에는, 상위비트에 대응하는 제 2 전류공급부에는 63개의 트랜지스터를 사용하면 된다. 전체 트랜지스터의 사이즈는  $1+2+4+8+16 \times 63=1023$ 이 된다. 즉, 제 1 전류공급부와 제 2 전류공급부를 구성하는 트랜지스터의 조합이 바뀌어도 전체 트랜지스터의 사이즈는 동일하다.
- <114> 도 12는 본 발명을 사용하여 설계된 전류 가산형 8 비트 디지털/아날로그 컨버터에 대한 컴퓨터 시뮬레이션 결과 컨버터 출력파형을 나타내는 도면이다.
- <115> 도 12의 파형은 8 비트의 디지털 입력 데이터를 모두 "0"에서 모두 "1"까지 순차적으로 증가시키면서 컨버터 출력단자의 파형을 시뮬레이션한 결과이다. 도 11에서 알 수 있듯이, 0V에서 1.33V까지 256개의 레벨이 선명하게 구분되고 있다.
- <116> 상기에서는 전류공급부가 2 개로 구성되고 이들에 서로 다른 크기의 전류원 출력전류가 공급되는 디지털/아날로그 컨버터의 예에 대해 기술하였다. 그러나, 본 발명은 전류공급부를 2 개 이상 구비하고 이들에 서로 다른 크기의 전류원 출력전류가 공급되는 디지털/아날로그 컨버터에도 적용할 수 있다.

<117> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【발명의 효과】**

<118> 상술한 바와 같이 본 발명에 따른 전류 가산형 디지털/아날로그 컨버터에 의하면, 상위 비트에 대응하는 전류공급부의 트랜지스터의 사이즈를 줄일 수 있으므로 반도체 회로 구현시 칩 사이즈를 줄일 수 있다. 또한 전류보정회로는 전류공급부로부터 일부의 출력전류만 센싱하여 에러보정을 하여 기준전류원을 제어하므로 전류보정회로의 추가로 인한 칩 사이즈의 증가와 소비전류의 증가를 최소화할 수 있다.

【특허청구범위】

【청구항 1】

$k(=m+n)$ , 여기서  $k$ 는 자연수이고,  $m$ 과  $n$ 은  $k$  미만의 자연수) 비트의 디지털 입력신호들을 대응하는 아날로그 신호로 변환하는 전류 가산형 디지털/아날로그 컨버터에 있어서,

상기  $k$  비트의 디지털 입력신호들을 수신하고  $m+(2^n-1)$ 개의 스위치 제어신호들을 생성하는 스위치 제어신호 발생부;

제 1 전류신호와 상기 제 1 전류신호의  $2^m$ 배의 크기를 가진 제 2 전류신호를 생성하는 전류원부;

상기 제 1 전류신호에 응답하여  $2^p(0 \leq p < m)$ 의 서로 다른 가중치를 가진  $m$ 개의 제 3 전류신호들을 생성하는 제 1 전류공급부;

상기 제 2 전류신호에 응답하여  $2^m$ 의 가중치를 가진  $2^n-1$ 개의 제 4 전류신호들을 생성하는 제 2 전류공급부; 및

상기 제 1 전류공급부의 상기 제 3 전류신호들 및 상기 제 2 전류공급부의 상기 제 4 전류신호들을 수신하고 상기 스위치 제어신호들에 응답하여 선택된 전류신호들의 총합을 상기 입력된  $k$  비트 디지털 입력신호에 대응하는 아날로그 신호로 출력단자에 출력하는 스위칭부를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 2】

제 1 항에 있어서, 상기 전류원부는

제 1 전원전압과 제 1 노드 사이에 연결되고, 기준전류신호를 생성하는 기준전류원;

상기 제 1 노드와 제 2 전원전압 사이에 연결되고, 1:2<sup>m</sup> 의 사이즈 비를 가진 트랜지스터쌍에 의해 상기 기준전류신호와 동일한 크기를 가진 상기 제 1 전류신호와 상기 제 1 전류신호의 2<sup>m</sup>배의 크기를 가진 상기 제2전류신호를 제2 및 제3노드에 각각 출력하는 제 1 전류미러;

상기 제 1 전원전압과 상기 제 2 노드 사이에 연결되고, 상기 제 1 전류신호와 실질적으로 동일한 전류를 구동하고 상기 제 1 전류공급부와 전류미러 결합된 (current-mirror-connected) 다이오드 연결(diode-connected) 제1트랜지스터; 및

상기 제1전원전압과 상기 제3노드 사이에 연결되고, 상기 제 2 전류신호와 실질적으로 동일한 전류를 구동하고, 상기 제 1 트랜지스터 사이즈의 2<sup>m</sup>배 보다는 작은 사이즈를 가지며 상기 제 2 전류공급부와 전류미러 결합된 다이오드 연결 제2트랜지스터를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

### 【청구항 3】

제 2 항에 있어서, 상기 제2트랜지스터의 사이즈는 상기 제1트랜지스터 사이즈의 1배 내지 2배인 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

### 【청구항 4】

제 1 항에 있어서, 상기 전류 가산형 디지털/아날로그 컨버터는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고, 에러보정신호를 발생시켜 상기 전류원부의 상기 제 1 전류신호 및/또는 상기 제 2 전류신호의 크기를 조절하는 전류보정회로를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 5】

제 1 항에 있어서, 상기 스위치 제어신호 발생부는

상기  $k$  비트의 디지털 입력신호들 중 상위 비트에 해당하는  $n$  비트의 디지털 신호를 수신하고 디코딩하여  $2^n-1$  개의 디지털 신호를 생성하는 디코더; 및

상기  $k$  비트의 디지털 입력신호들 중 하위 비트에 해당하는  $m$  개의 디지털 신호와 상기 디코딩된  $2^n-1$  개의 디지털 신호들을 수신하여 래치하고  $m+(2^n-1)$  개의 스위치 제어신호들을 출력하는 래치회로를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 6】

$k(=m+n, \text{ 여기서 } k \text{는 자연수이고, } m \text{과 } n \text{은 } k \text{ 미만의 자연수})$  비트의 디지털 입력신호들을 대응하는 아날로그 신호로 변환하는 전류 가산형 디지털/아날로그 컨버터에 있어서,

상기  $k$  비트의 디지털 입력신호들을 수신하고  $m+(2^n-1)$  개의 스위치 제어신호들을 생성하는 스위치 제어신호 발생부;

제 1 전류신호를 출력하는 다이오드 연결된(diode-connected) 제 1 트랜지스터 및 상기 제 1 전류신호보다  $2^m$ 배 큰 제 2 전류신호를 생성하는 다이오드 연결된 제 2 트랜지스터를 구비하는 전류원부;

상기 제 1 트랜지스터의 게이트에 공통적으로 전류미러 결합된  $m$  개의 트랜지스터들로 구성되고 서로 다른 크기의 제 3 전류신호들을 출력하는 제 1 전류공급부;

상기 제 2 트랜지스터의 게이트에 공통적으로 전류미러 결합된  $2^n-1$  개의 트랜지스터들로 구성되고 서로 동일한 크기의 제 4 전류신호들을 출력하는 제 2 전류공급부; 및



상기 제 1 전류공급부의 상기 제 3 전류신호들 및 상기 제 2 전류공급부의 상기 제 4 전류신호들을 수신하고 상기 스위치 제어신호들에 응답하여 선택된 전류신호들의 총합을 상기 입력된  $k$  비트 디지털 입력신호에 대응하는 아날로그 신호로 출력단자에 출력하는 스위칭부를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 7】

제 6 항에 있어서,

상기 제 1 전류공급부의 상기  $m$  개의 트랜지스터들은 각각 상기 제 1 트랜지스터의 사이즈의  $2^p$  배( $0 \leq p < m$ 인 자연수)의 서로 다른 사이즈를 가지며, 상기 제 2 전류공급부의 상기  $2^n - 1$  개의 트랜지스터들은 모두 상기 제 2 트랜지스터와 동일한 사이즈를 가지는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 8】

제 6 항에 있어서, 상기 스위치 제어신호 발생부는

상기  $k$  비트의 디지털 입력신호들 중 상위 비트에 해당하는  $n$  비트의 디지털 신호를 수신하고 디코딩하여  $2^n - 1$  개의 디지털 신호를 생성하는 디코더; 및

상기  $k$  비트의 디지털 입력신호들 중 하위 비트에 해당하는  $m$  개의 디지털 신호와 상기 디코딩된  $2^n - 1$  개의 디지털 신호들을 수신하여 래치하고  $m + (2^n - 1)$  개의 스위치 제어신호들을 출력하는 래치회로를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 9】

제 6 항에 있어서, 상기 전류원부는

전원전압에 연결된 일측단자를 갖는 기준전류원;

상기 기준전류원의 타측단자에 공통 연결된 드레인 및 게이트와 접지에 연결된 소스를 갖는 제 3 트랜지스터;

상기 제 3 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 상기 제 1 트랜지스터의 드레인에 연결된 드레인을 갖는 제 4 트랜지스터; 및

상기 제 3 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 상기 제 2 트랜지스터의 드레인에 연결된 드레인을 갖는 제 5 트랜지스터를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 10】

제 9 항에 있어서,

상기 제 5 트랜지스터는 상기 제 4 트랜지스터의 2<sup>m</sup>배의 크기를 갖고, 상기 제 2 트랜지스터는 상기 제 1 트랜지스터의 2<sup>m</sup>배보다 작은 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 11】

제 6 항에 있어서, 상기 전류 가산형 디지털/아날로그 컨버터는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고, 에러보정신호를 발생시켜 상기 전류원부의 상기 제 1 전류신호 및/또는 상기 제 2 전류신호의 크기를 조절하는 전류보정회로를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

## 【청구항 12】

디지털 입력신호들을 수신하고 소정의 비트를 갖는 스위치 제어신호들을 생성하는 스위치 제어신호 발생부;

제 1 전류신호를 출력하는 다이오드 연결된 제 1 PMOS 트랜지스터 및 상기 제 1 전류신호보다 큰 제 2 전류신호를 출력하는 다이오드 연결된 제 2 PMOS 트랜지스터를 구비하는 전류원부;

상기 제 1 PMOS 트랜지스터의 게이트에 공통적으로 전류미러 결합된 트랜지스터들로 구성되고 서로 다른 크기의 제 3 전류신호들을 출력하는 제 1 전류공급부;

상기 제 2 PMOS 트랜지스터의 게이트에 공통적으로 전류미러 결합된 트랜지스터들로 구성되고 서로 동일한 크기의 제 4 전류신호들을 출력하는 제 2 전류공급부; 및

상기 제 1 전류공급부의 상기 제 3 전류신호들 및 상기 제 2 전류공급부의 상기 제 4 전류신호들을 수신하고 상기 스위치 제어신호들에 응답하여 선택된 전류신호들의 총합을 상기 디지털 입력신호에 대응하는 아날로그 신호로 출력단자에 출력하는 스위칭부를 구비하는 전류가산형 디지털/아날로그 컨버터.

## 【청구항 13】

제 12 항에 있어서, 상기 전류원부는

전원전압에 연결된 일측단자를 갖는 기준전류원;

상기 기준전류원의 타측단자에 공통 연결된 드레인 및 게이트와 접지에 연결된 소스를 갖는 제 1 NMOS 트랜지스터;

상기 제 1 NMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 상기 제 1 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는 제 2 NMOS 트랜지스터; 및

상기 제 1 NMOS 트랜지스터의 게이트에 연결된 게이트와 접지에 연결된 소스와 상기 제 2 PMOS 트랜지스터의 드레인에 연결된 드레인을 갖는 제 3 NMOS 트랜지스터를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 14】

제 13 항에 있어서,

상기 제 1 PMOS 트랜지스터의 사이즈에 대한 상기 제 2 PMOS 트랜지스터의 사이즈의 비 (ratio)는 상기 제 2 NMOS 트랜지스터의 사이즈에 대한 상기 제 3 NMOS 트랜지스터의 사이즈의 비보다 작은 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 15】

제 12 항에 있어서, 상기 전류 가산형 디지털/아날로그 컨버터는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고, 에러보정신호를 발생시켜 상기 전류원부의 상기 제 1 전류 신호 및/또는 상기 제 2 전류신호의 크기를 조절하는 전류보정회로를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 16】

제 15 항에 있어서, 상기 전류보정회로는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 센싱하고 증폭하여 제 1 증폭신호와 제 2 증폭신호를 출력하는 에러앰프;

상기 에러앰프의 상기 제 1 증폭신호의 제어하에 동작을 하고 상기 제 2 PMOS 트랜지스터의 드레인에 연결된 출력단자를 갖는 제 4 NMOS 트랜지스터; 및

상기 에러앰프의 상기 제 2 증폭신호의 제어하에 동작을 하고 상기 제 1 PMOS 트랜지스터의 드레인에 연결된 출력단자를 갖는 제 5 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 17】

제 15 항에 있어서, 상기 전류보정회로는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고 소정의 비트를 갖는 디지털 신호로 변환하는 아날로그/디지털 컨버터; 및

상기 아날로그/디지털 컨버터의 디지털 출력신호들의 수와 동일한 수의 트랜지스터가 병렬로 연결된 구성을 가지고, 상기 아날로그/디지털 컨버터의 디지털 출력신호들의 제어하에 스위칭 동작을 하고 에러보정신호를 발생시켜 상기 제 1 PMOS 트랜지스터의 드레인에 전송하는 전류조정회로를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 18】

제 15 항에 있어서, 상기 전류보정회로는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고 소정의 비트를 갖는 디지털 신호로 변환하는 아날로그/디지털 컨버터; 및

상기 아날로그/디지털 컨버터의 디지털 출력신호들의 수와 동일한 수의 트랜지스터가 병렬로 연결된 구성을 가지고, 상기 아날로그/디지털 컨버터의 디지털 출력신호들의 제어하에 스위칭 동작을 하여 그 결과를 상기 제 2 PMOS 트랜지스터의 드레인에 전송하는 전류조절회로를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 19】**

제 12 항에 있어서,

상기 제 1 전류공급부의 출력단자 각각을 통해 흐르는 전류의 크기는 서로 다르고 2의 승수로 증가 또는 감소하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 20】**

제 12 항에 있어서,

상기 제 1 전류공급부를 구성하는 트랜지스터들은 사이즈 서로 다르고 2의 승수로 증가 또는 감소하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 21】**

제 12 항에 있어서,

상기 제 2 전류공급부 각각을 통해 흐르는 전류는 크기가 동일한 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 22】**

디지털 입력신호들을 수신하고 소정의 비트를 갖는 스위치 제어신호들을 생성하는 스위치 제어신호 발생부;

제 1 전류신호를 출력하는 다이오드 연결된 제 1 NMOS 트랜지스터 및 상기 제 1 전류신호보다 큰 제 2 전류신호를 출력하는 다이오드 연결된 제 2 NMOS 트랜지스터를 구비하는 전류원부;

상기 제 1 NMOS 트랜지스터의 게이트에 공통적으로 전류미러 결합된 트랜지스터들로 구성되고 서로 다른 크기의 제 3 전류신호들을 출력하는 제 1 전류공급부;

상기 제 2 NMOS 트랜지스터의 게이트에 공통적으로 전류미러 결합된 트랜지스터들로 구성되고 서로 동일한 크기의 제 4 전류신호들을 출력하는 제 2 전류공급부; 및

상기 제 1 전류공급부의 상기 제 3 전류신호들 및 상기 제 2 전류공급부의 상기 제 4 전류신호들을 수신하고 상기 스위치 제어신호들에 응답하여 선택된 전류신호들의 총합을 상기 디지털 입력신호에 대응하는 아날로그 신호로 출력단자에 출력하는 스위칭부를 구비하는 전류가산형 디지털/아날로그 컨버터.

**【청구항 23】**

제 22 항에 있어서, 상기 전류원부는

접지에 연결된 일측단자를 갖는 기준전류원;

상기 기준전류원의 타측단자에 공통 연결된 드레인 및 게이트와 전원전압에 연결된 소스를 갖는 제 1 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 게이트에 연결된 게이트와 전원전압에 연결된 소스와 상기 제 1 NMOS 트랜지스터의 드레인에 연결된 드레인을 갖는 제 2 PMOS 트랜지스터; 및

상기 제 1 PMOS 트랜지스터의 게이트에 연결된 게이트와 전원전압에 연결된 소스와 상기 제 2 NMOS 트랜지스터의 드레인에 연결된 드레인을 갖는 제 3 PMOS 트랜지스터를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 24】

제 23 항에 있어서,

상기 제 1 NMOS 트랜지스터의 사이즈에 대한 상기 제 2 NMOS 트랜지스터의 사이즈의 비 (ratio)는 상기 제 2 PMOS 트랜지스터의 사이즈에 대한 상기 제 3 PMOS 트랜지스터의 사이즈의 비보다 작은 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 25】

제 22 항에 있어서, 상기 전류 가산형 디지털/아날로그 컨버터는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고, 에러보정신호를 발생시켜 상기 전류원부의 상기 제 1 전류 신호 및/또는 상기 제 2 전류신호의 크기를 조절하는 전류보정회로를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

【청구항 26】

제 25 항에 있어서, 상기 전류보정회로는



상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 센싱하고 증폭하여 제 1 증폭신호와 제 2 증폭신호를 출력하는 에러앰프;

상기 에러앰프의 상기 제 1 증폭신호의 제어하에 동작을 하고 상기 제 2 NMOS 트랜지스터의 드레인에 연결된 출력단자를 갖는 제 3 NMOS 트랜지스터; 및

상기 에러앰프의 상기 제 2 증폭신호의 제어하에 동작을 하고 상기 제 1 NMOS 트랜지스터의 드레인에 연결된 출력단자를 갖는 제 4 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 27】

제 25 항에 있어서, 상기 전류보정회로는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고 소정의 비트를 갖는 디지털 신호로 변환하는 아날로그/디지털 컨버터; 및

상기 아날로그/디지털 컨버터의 디지털 출력신호들의 수와 동일한 수의 트랜지스터가 병렬로 연결된 구성을 가지고, 상기 아날로그/디지털 컨버터의 디지털 출력신호들의 제어하에 스위칭 동작을 하고 에러보정신호를 발생시켜 상기 제 1 NMOS 트랜지스터의 드레인에 전송하는 전류조절회로를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

#### 【청구항 28】

제 25 항에 있어서, 상기 전류보정회로는

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고 소정의 비트를 갖는 디지털 신호로 변환하는 아날로그/디지털 컨버터; 및

상기 아날로그/디지털 컨버터의 디지털 출력신호들의 수와 동일한 수의 트랜지스터가 병렬로 연결된 구성을 가지고, 상기 아날로그/디지털 컨버터의 디지털 출력신호들의 제어하에 스위칭 동작을 하고 에러보정신호를 발생시켜 상기 제 2 NMOS 트랜지스터의 드레인에 전송하는 전류조절회로를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 29】**

제 22 항에 있어서,

상기 제 1 전류공급부의 출력단자 각각을 통해 흐르는 전류의 크기는 서로 다르고 2의 승수로 증가 또는 감소하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 30】**

제 22 항에 있어서,

상기 제 1 전류공급부를 구성하는 트랜지스터들은 사이즈가 서로 다르고 2의 승수로 증가 또는 감소하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

**【청구항 31】**

제 22 항에 있어서,

상기 제 2 전류공급부 각각을 통해 흐르는 전류는 크기가 동일한 것을 특징으로 하는 전류 가산형 디지털/아날로그 컨버터.

## 【청구항 32】

$k(=m+n)$ , 여기서  $k$ 는 자연수이고,  $m$ 과  $n$ 은  $k$  미만의 자연수) 비트의 디지털 입력신호들을 대응하는 아날로그 신호로 변환하는 전류 가산형 디지털/아날로그 변환방법에 있어서,

상기  $k$  비트의 디지털 입력신호들을 수신하고  $m+(2^n-1)$  개의 스위치 제어신호들을 생성하는 단계;

제 1 전류신호와 상기 제 1 전류신호의  $2^m$ 배의 크기를 가진 제 2 전류신호를 각각 생성하는 단계;

상기 제 1 전류신호에 응답하여  $2^p(0 \leq p < m)$ 의 서로 다른 가중치를 가진  $m$ 개의 제 3 전류신호들을 생성하는 단계;

상기 제 2 전류신호에 응답하여  $2^m$ 의 가중치를 가진  $2^n-1$  개의 제 4 전류신호들을 생성하는 단계; 및

상기 제 1 전류공급부의 상기 제 3 전류신호들 및 상기 제 2 전류공급부의 상기 제 4 전류신호들을 수신하고 상기 스위치 제어신호들에 응답하여 선택된 전류신호들의 총합을 상기 입력된  $k$  비트 디지털 입력신호에 대응하는 아날로그 신호로 출력단자에 출력하는 단계를 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 변환방법.

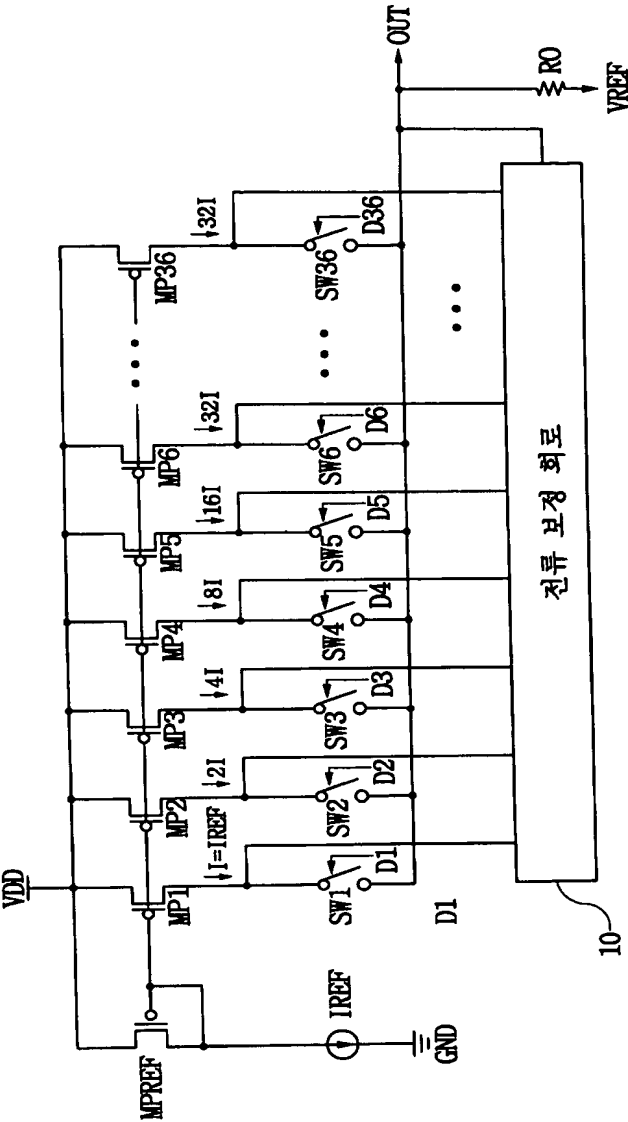
## 【청구항 33】

제 32 항에 있어서, 상기 전류 가산형 디지털/아날로그 변환방법은

상기 제 1 전류공급부의 적어도 하나의 출력 전류신호와 상기 제 2 전류공급부의 적어도 하나의 출력 전류신호를 수신하고 에러보정신호를 발생시키는 단계; 및

상기 전류원부의 상기 제 1 전류신호 및/또는 상기 제 2 전류신호의 크기를 조절하는 단계를 포함하는 전류보정단계를 더 구비하는 것을 특징으로 하는 전류 가산형 디지털/아날로그 변환방법.

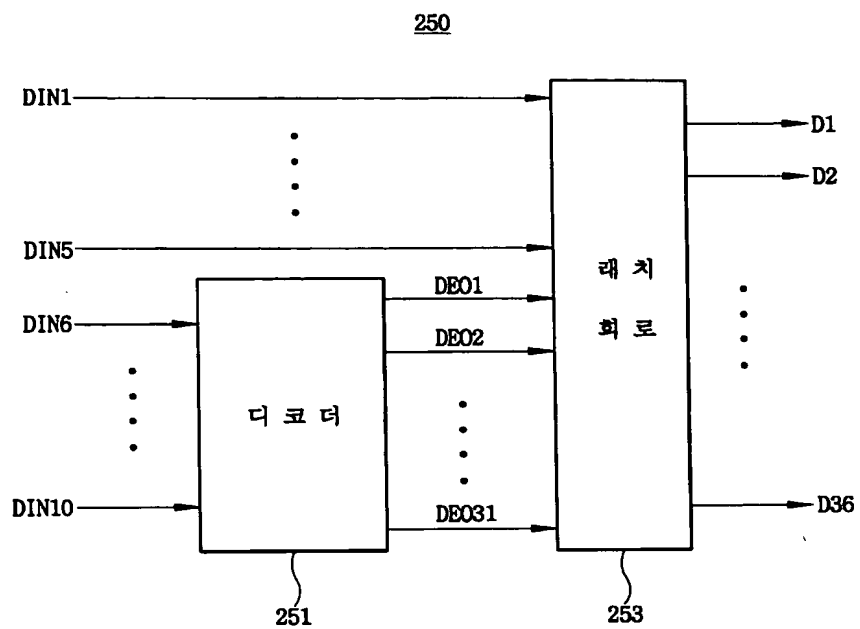
【도 1】



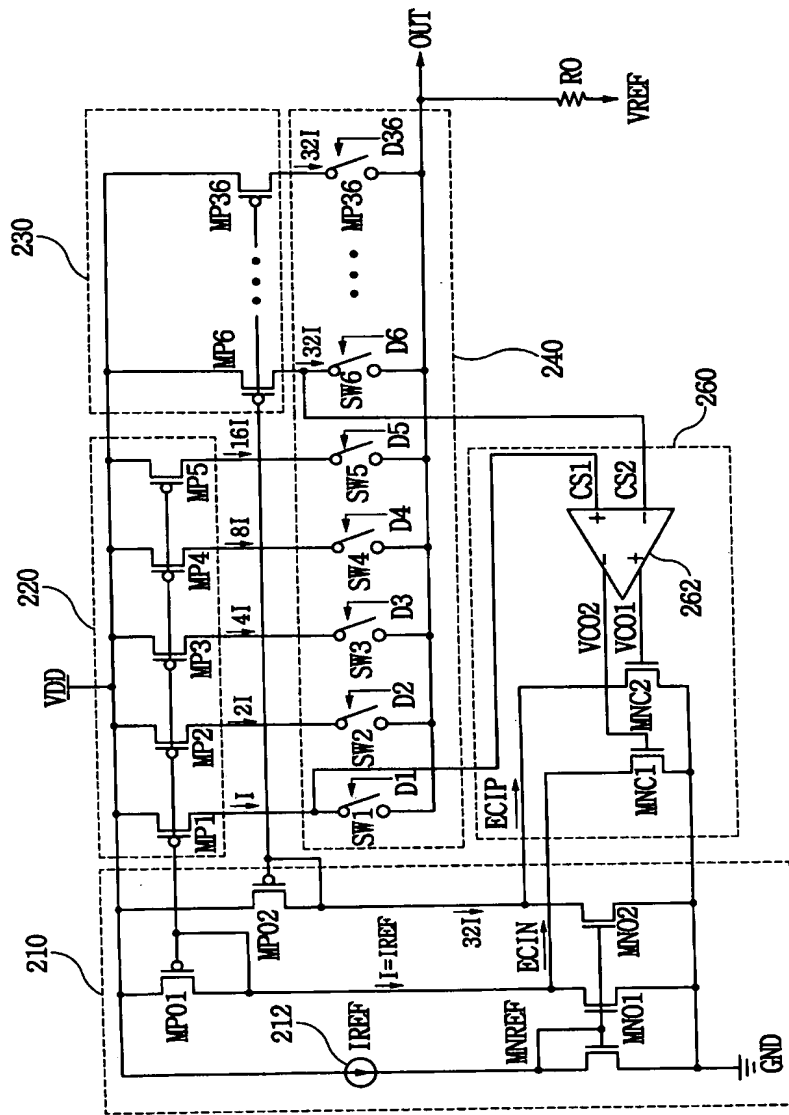
【도면】



【도 3】

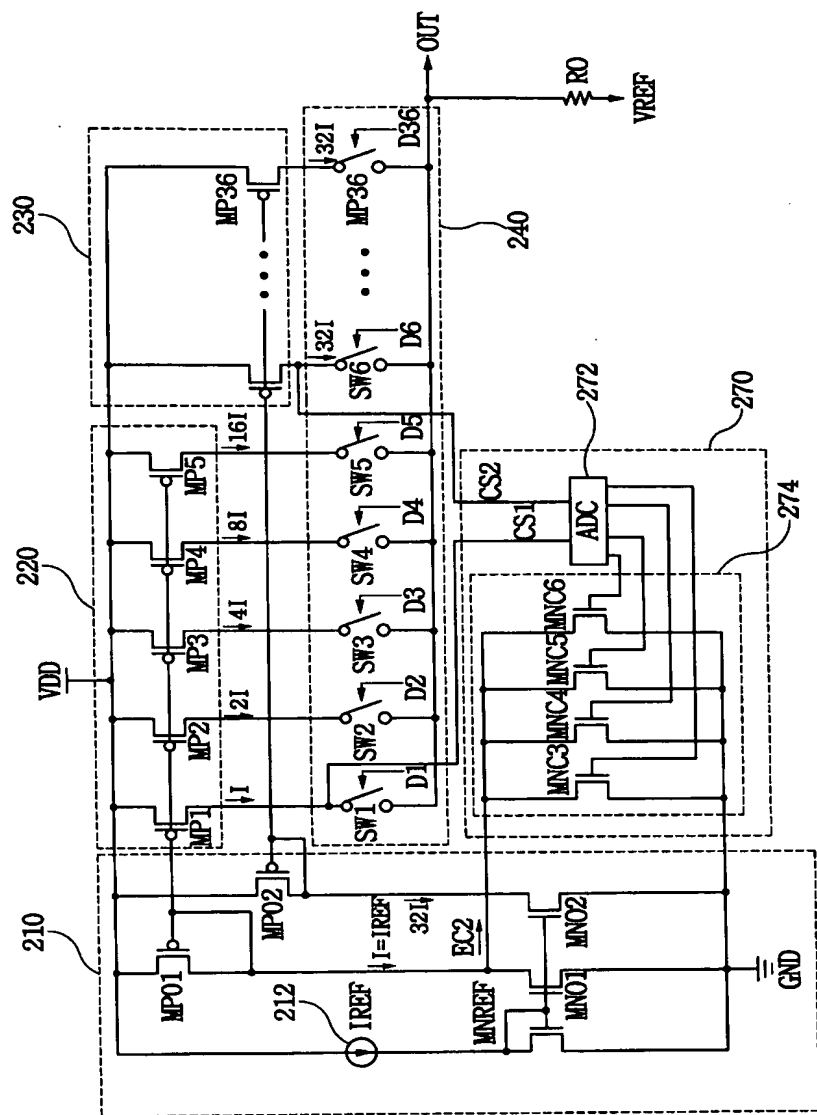


【도 4】

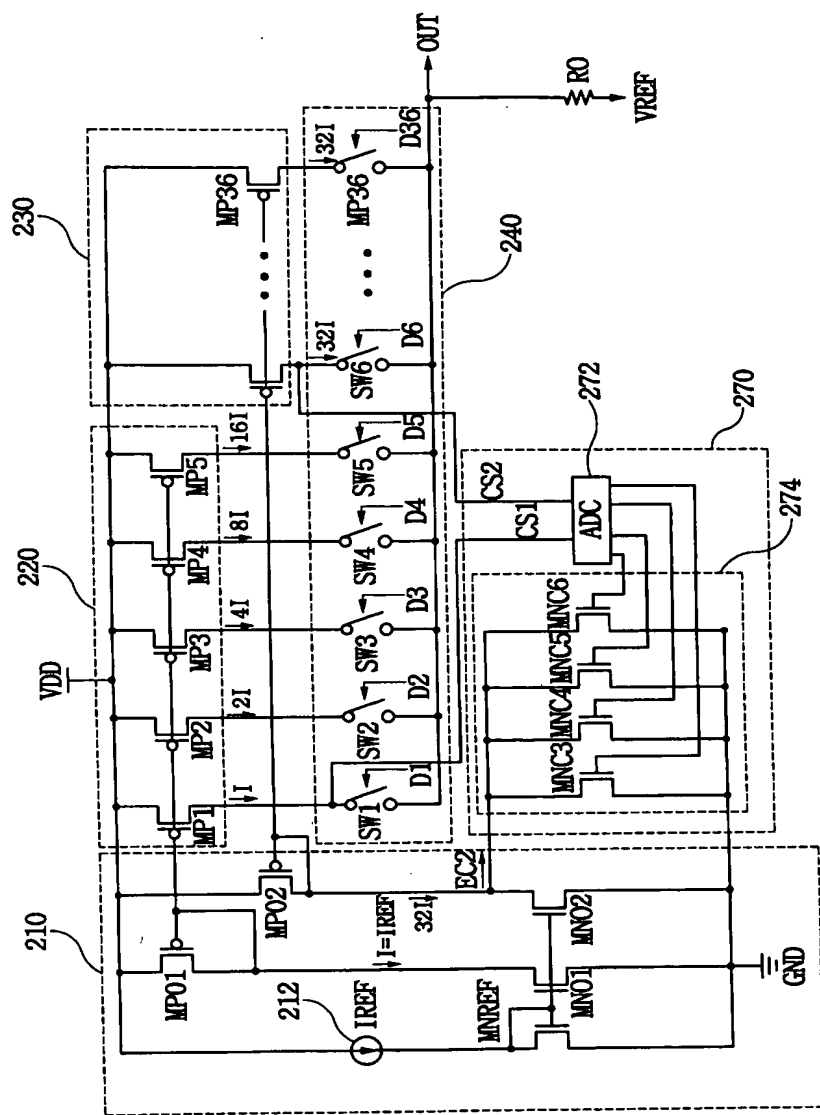




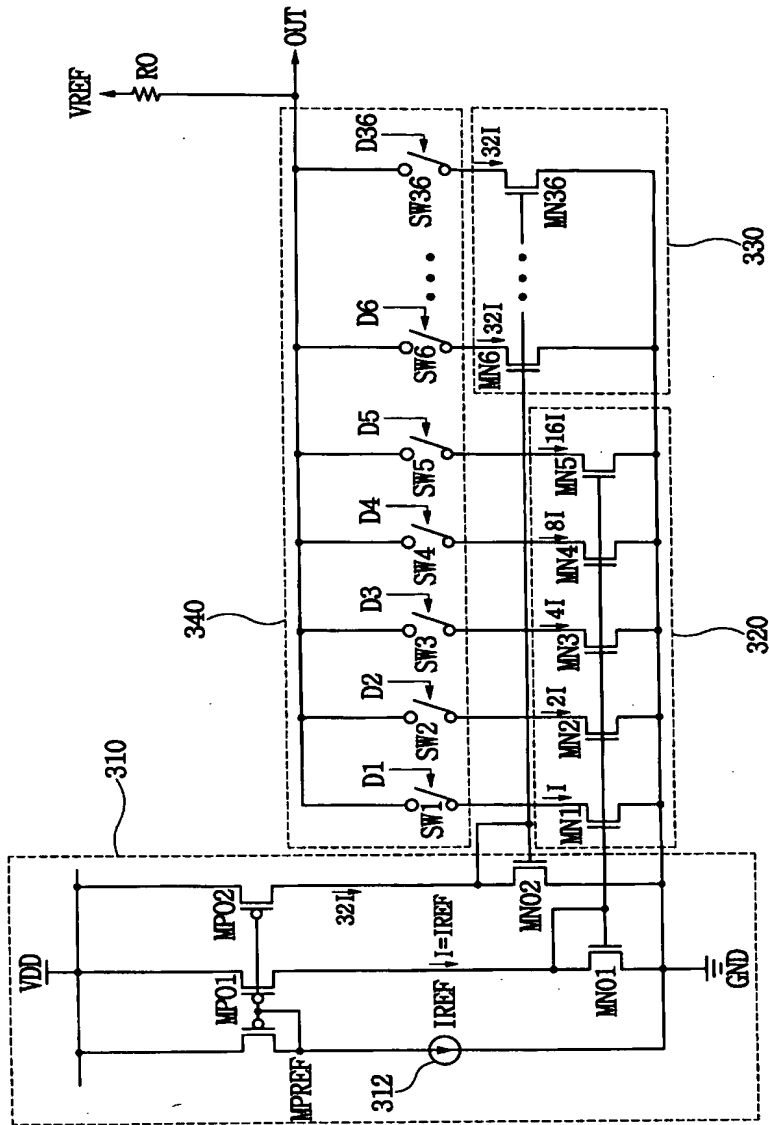
【도 5】



【도 6】

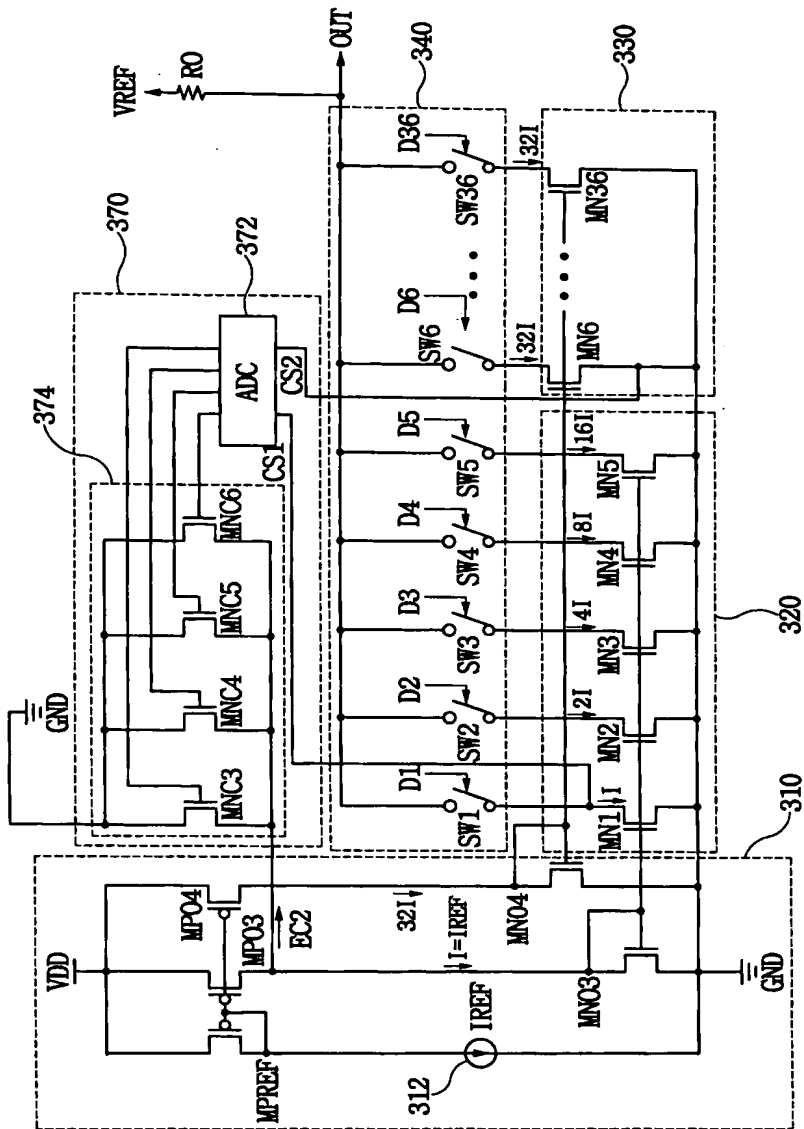


【도 7】

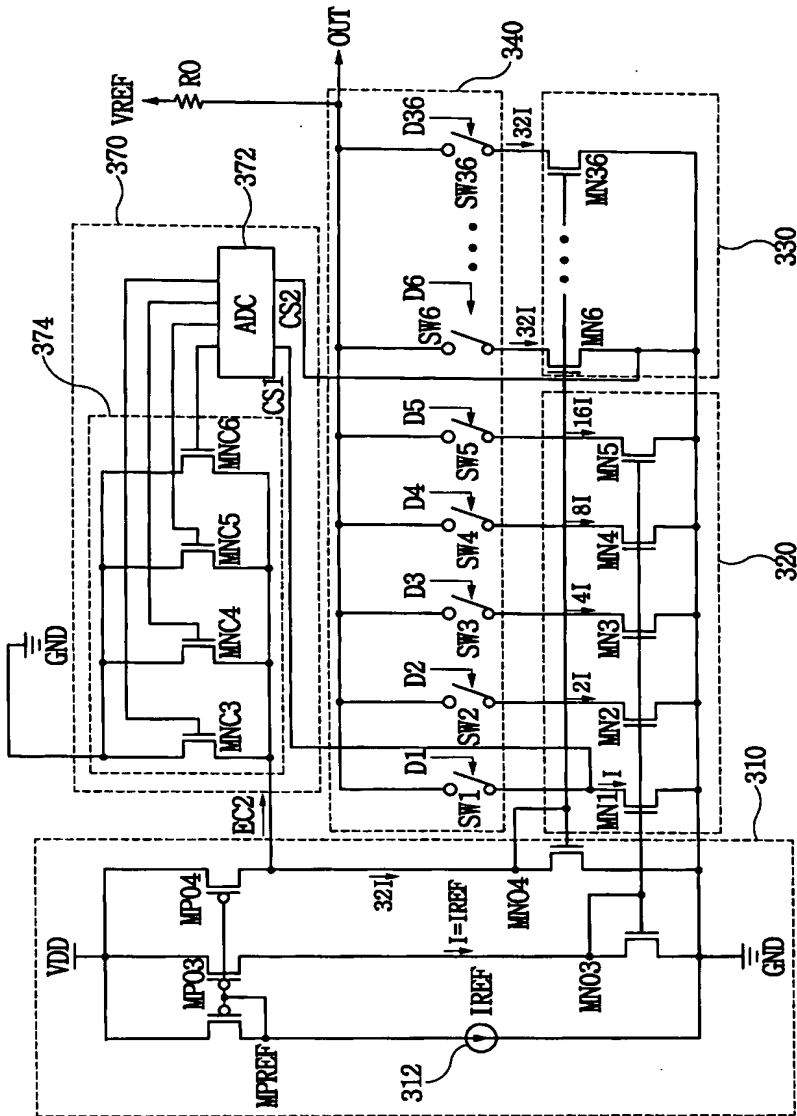




【도 9】



【도 10】



【표 11】

| bit<br>k=1:n | 조합수 $2^k$ | 하위/상위<br>$m/2^n-1$ | 하위/상위   | 하위/상위  | 하위/상위  | 하위/상위  | 하위/상위  | 하위/상위 | 하위/상위 | 하위/상위 | 하위/상위 |
|--------------|-----------|--------------------|---------|--------|--------|--------|--------|-------|-------|-------|-------|
| 2            | 4         | 1/1                |         |        |        |        |        |       |       |       |       |
| 3            | 8         | 1/3                | 2/1     |        |        |        |        |       |       |       |       |
| 4            | 16        | 1/7                | 2/3     | 3/1    |        |        |        |       |       |       |       |
| 5            | 32        | 1/15               | 2/7     | 3/3    | 4/1    |        |        |       |       |       |       |
| 6            | 64        | 1/31               | 2/15    | 3/7    | 4/3    | 5/1    |        |       |       |       |       |
| 7            | 128       | 1/63               | 2/31    | 3/15   | 4/7    | 5/3    | 6/1    |       |       |       |       |
| 8            | 256       | 1/127              | 2/63    | 3/31   | 4/15   | 5/7    | 6/3    | 7/1   |       |       |       |
| 9            | 512       | 1/255              | 2/127   | 3/63   | 4/31   | 5/15   | 6/7    | 7/3   | 8/1   |       |       |
| 10           | 1024      | 1/511              | 2/255   | 3/127  | 4/63   | 5/31   | 6/15   | 7/7   | 8/3   | 9/1   |       |
| 11           | 2048      | 1/1023             | 2/511   | 3/255  | 4/127  | 5/63   | 6/31   | 7/15  | 8/7   | 9/3   |       |
| 12           | 4096      | 1/2047             | 2/1023  | 3/511  | 4/255  | 5/127  | 6/63   | 7/31  | 8/15  | 9/7   |       |
| 13           | 8192      | 1/4095             | 2/2047  | 3/1023 | 4/511  | 5/255  | 6/127  | 7/63  | 8/31  | 9/15  |       |
| 14           | 16384     | 1/8191             | 2/4095  | 3/2047 | 4/1023 | 5/511  | 6/255  | 7/127 | 8/63  | 9/31  |       |
| 15           | 22768     | 1/16383            | 2/8191  | 3/4095 | 4/2047 | 5/1023 | 6/511  | 7/255 | 8/127 | 9/63  |       |
| 16           | 45536     | 1/22767            | 2/16383 | 3/8191 | 4/4095 | 5/2047 | 6/1023 | 7/511 | 8/255 | 9/127 |       |

【도 12】

